

S8
?t s8/5

1 PN=JP 63172470

107538013

8/5/1

DIALOG(R) File 347:JAPIO
(c) 2005 JPO & JAPIO. All rts. reserv.

JC17 Rec'd PGT/PTO 07 JUN 2005

02555570 **Image available**
THIN FILM TRANSISTOR

PUB. NO.: 63-172470 [*JP 63172470* A]
PUBLISHED: July 16, 1988 (19880716)
INVENTOR(s): YAMAGUCHI TADAHISA
HIRANAKA KOICHI
APPLICANT(s): FUJITSU LTD [000522] (A Japanese Company or Corporation), JP
(Japan)
APPL. NO.: 62-004663 [JP 874663]
FILED: January 12, 1987 (19870112)
INTL CLASS: [4] H01L-029/78; H01L-027/12
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)
JAPIO KEYWORD: R003 (ELECTRON BEAM); R097 (ELECTRONIC MATERIALS -- Metal
Oxide Semiconductors, MOS)
JOURNAL: Section: E, Section No. 684, Vol. 12, No. 440, Pg. 96,
November 18, 1988 (19881118)

ABSTRACT

PURPOSE: To make it possible to decrease OFF current, by providing a heat resisting insulating film on an insulating substrate.

CONSTITUTION: An a-SiN(sub x) film as a heat resisting insulating film 7 is formed on a glass substrate 1 by a P-CVD method. Thereafter, a titanium (Ti) film 9 is formed by an electron beam evaporating method. An n(sup +) a-Si film 3 is formed on the film 9 by the P-CVD method. Then, reactive ion etching is performed, and a source electrode S and a drain electrode D are patterned and formed. An a-Si film and a gate insulating film 5 are formed. After an electrode film 6 is formed by the electron beam evaporating method, a gate electrode G is formed by chemical etching. Then elements are isolated by RIE, and a staggered TFT is completed. Thus impurity ions are not diffused, and deterioration of the characteristics of the a-Si film 4 is prevented.

THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭63-172470

⑫ Int. Cl.⁴

H 01 L 29/78
27/12

識別記号

311

庁内整理番号

X-8422-5F
7514-5F

⑬ 公開 昭和63年(1988)7月16日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 薄膜トランジスタ

⑮ 特 願 昭62-4663

⑯ 出 願 昭62(1987)1月12日

⑰ 発 明 者 山 口 忠 久 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑱ 発 明 者 平 中 弘 一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井桁 貞一

明 細 書

1. 発明の名称

薄膜トランジスタ

2. 特許請求の範囲

(1) 絶縁基板上にソース電極およびドレイン電極を形成した後、非晶質シリコン膜、ゲート絶縁膜と層形成し、更にゲート電極を設けてなるスタガード形薄膜トランジスタにおいて、前記絶縁基板上に耐熱性絶縁膜を形成した後、該絶縁膜上に前記トランジスタを形成したことを特徴とする薄膜トランジスタ。

(2) 前記耐熱性絶縁膜が酸化シリコン膜、酸化シリコン膜または窒化シリコン膜の何れか一つよりなることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。

3. 発明の詳細な説明

(概要)

薄膜トランジスタのオフ電流の増加を防ぐ方法

として絶縁基板上に酸化シリコン膜、酸化シリコン膜、窒化シリコン膜の何れか一つからなる耐熱性絶縁膜を設け、この絶縁膜上に、ソース電極およびドレイン電極を形成した後、非晶質シリコン膜、ゲート絶縁膜と層形成し、更にゲート電極を設けて形成したスタガード形薄膜トランジスタ。

(産業上の利用分野)

本発明はオフ電流を低減した薄膜トランジスタの構成に関する。

薄膜トランジスタ(略称TFT)はプラズマ化学気相成長法(略称P-CVD)や真空蒸着法などの薄膜形成技術を用いてガラスなどの絶縁基板上に非晶質シリコン(以下略してa-Si)からなる半導体膜や非晶質窒化珪素(a-SiN_x)、二酸化珪素(SiO₂)などの絶縁膜や金属膜を形成すると共に、これと写真蝕刻技術(フォトリソグラフィ)を組合わせて微細パターンを層形成することにより作られている。

かかる技術を使用すると広い面積に亘ってトラ

ンジスタ・アレイが形成できることからTFT はイメージセンサの駆動回路やアクティブマトリックス形の液晶表示パネルにおけるスイッチング素子として使用されている。

かかる用途において、TFT はスイッチング速度が速いことと共にオフ電流値が少ないことが必要である。

(従来の技術)

TFT にはソースおよびドレイン電極とゲート電極との配置によりスタガード形と逆スタガード形とがある。

第2図は従来のスタガード形TFT の断面構成図であって、絶縁基板1の上にスパッタ法などにより酸化錫(SnO_2)と酸化インジウム(In_2O_3)の固溶体よりなり、低抵抗の透明導電膜(以下通称のITO膜)2と磷(P)をドーブした非晶質シリコン膜(以下略して n^+ - α -Si膜)3を層形成した後、写真蝕刻技術を用いて選択エッチングを行ってソース電極Sとドレイン電極Dとをパターン形

成する。

次に、この上に非晶質シリコン膜(以下略して α -Si膜)4を形成した後、この上に非晶質の窒化シリコン膜(α - SiN_x 膜)、酸化シリコン膜(SiO_2 膜)、酸窒化シリコン膜(SiON 膜)の何れからなるゲート絶縁膜5と、クローム(Cr)やニクロム(Ni-Cr)などの金属からなる電極膜6を層形成した後、写真蝕刻技術を用いて選択エッチングしてゲート電極Gをパターン形成すると共に素子間分離を行ってスタガード形TFT が形成されている。

かかる構成をとるスタガード形TFT は素子完成の後に電気的特性を安定化するために200～300℃の熱処理(アニール)が必要であり、またイメージセンサなどのデバイス形成に当たっても各種の熱処理工程がある。

そのために、絶縁基板1より不純物の拡散が生じ、これにより特性の劣化が生じている。

すなわち、TFT のスイッチング動作はソース電極Sを接地してドレイン電極Dとの間に一定の電

圧を加えてある状態でゲートGに負の電圧を印加する場合はドレイン電極Dとソース電極Sとの間は絶縁状態である。

然し、ゲート電極Gに正の電圧を加えると、ゲート絶縁膜5と接する α -Si膜の界面に電子が誘起されてチャネルを生じ、これを通して電流(I_s)が流れる。

それ故にゲート電極Gに加える電圧(V_g)の正負によりスイッチング作用が行われている。

そのためにはオフ電流がなるべく少なくON/OFFが高いことが必要条件である。

然し、スタガード形TFT はソース電極Sとドレイン電極Dの間にあってチャネル形成が行われる α -Si膜4が絶縁基板1と接しているために各種の熱処理工程を通じて絶縁基板1の中に含まれている不純物イオンの拡散を生じ、そのために α -Si膜の特性が劣化してオフ電流の増加が起り、ON/OFFが低減している。

(発明が解決しようとする問題点)

スタガード形TFT においてはチャネル形成が行われる α -Si膜4が絶縁基板と接しているために各種の熱処理工程を通じて絶縁基板1の中に含まれている不純物イオンの拡散を生じ、それによりオフ電流の増加が起り、ON/OFFの低減を招いていることが問題である。

(問題点を解決するための手段)

上記の問題は絶縁基板上に SiO_2 膜、 SiON 膜、 α - SiN_x 膜の何れからなる耐熱性の絶縁膜を形成した後、該絶縁膜上に、ソース電極Sおよびドレイン電極Dを形成した後、 α -Si膜、ゲート絶縁膜と層形成し、更にゲート電極Gを設けて形成するスタガード形TFT の使用により解決することができる。

(作用)

本発明はソース電極Sとドレイン電極Dとの間にあり、チャネル活性化層を生ずる α -Si膜4が

絶縁基板1と接するのを防ぐ方法として、絶縁基板1の上に耐熱性の絶縁膜を介在させるものである。

第1図は本発明に係るスタガード形TFTの断面構成図であって、絶縁基板1の上に SiO_2 膜、 $SiON$ 膜、 $a-SiN_x$ などの耐熱性絶縁膜7を形成し、この上に従来と同様にスタガード形TFTを形成することにより不純物イオンの拡散を無くし、 $a-Si$ 膜4の特性劣化を防ぐものである。

(実施例)

第4図は本発明に係るスタガード形TFTの製造工程を示す断面図であって、実施例を示すと次のようになる。

ガラス基板1の上に耐熱性絶縁膜7としてP-CVD法により $a-SiN_x$ 膜を1000Åの厚さに形成した後、ソース電極Sとドレイン電極Dの形成材として電子ビーム蒸着法によりチタン(Ti)膜9を1000Åの厚さに形成し、次にオーミックな接触を得るために、その上にP-CVD法により300Åの厚さに

n^+a-Si 膜3を形成した(以上同図A)。

次に、反応性イオンエッチング(略称RIE)を行ってソース電極Sとドレイン電極Dをパターン形成する。

ここで、反応ガスとして n^+a-Si 膜のエッチングには四弗化炭素(CF_4)と酸素(O_2)の混合ガスを、Tiのエッチングには四塩化炭素(CCl_4)と O_2 との混合ガスを使用した(以上同図B)。

次に、かかる基板上にP-CVD法により $a-Si$ 膜4を2000Åの厚さに、また $a-SiN_x$ 膜を3000Åの厚さに形成してゲート絶縁膜5を形成した。

次に、電子ビーム蒸着法により W/Cr を800Åの厚さに蒸着して電極膜6を形成した後に、化学エッチングしてゲート電極Gを形成した(以上同図C)。

次に、RIEにより素子間分離を行ってスタガード形TFTができ上がった(以上同図D)。

第3図は本発明に係るスタガード形TFTのドレイン電流(I_d) - ゲート電圧(V_g)特性図であって、破線10で示す従来のTFTに比べ、本発明に係

る実線11で示すTFTはオフ電流は二桁程少なく、また立ち上がり特性も優れている。

なお、耐熱性絶縁膜7として $a-SiN_x$ の代わりに SiO_2 や $SiON$ を用いる場合も結果は同様である。

(発明の効果)

以上記したように本発明の実施によりOFF電流の減少が可能となり、これにより電気的特性が向上する。

4. 図面の簡単な説明

第1図は本発明に係るスタガード形TFTの断面構成図、

第2図は従来のスタガード形TFTの断面構成図、

第3図はスタガード形TFTの I_d - V_g 特性図、

第4図(A) ~ (D)は本発明に係るスタガード形TFTの製造工程を示す断面図、である。

図において、

1は絶縁基板、

2はITO膜、

3は n^+a-Si 膜、

4は $a-Si$ 膜、

5はゲート絶縁膜、

6は電極膜、

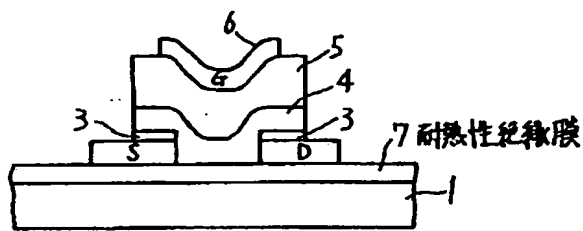
7は耐熱性絶縁膜、

9はTi膜、

である。

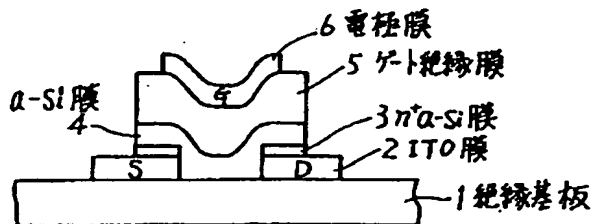
代理人 弁理士 井桁 貞一





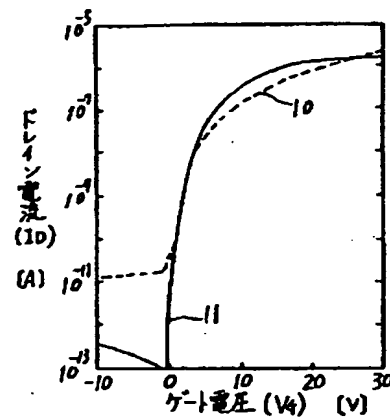
本発明に係るスタガード形TFTの断面構成図

第 1 図



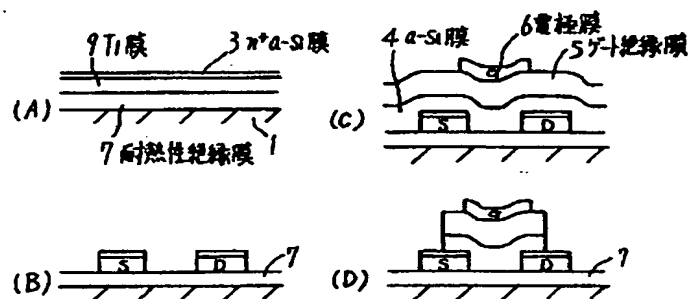
従来のスタガード形TFTの断面構成図

第 2 図



スタガード形TFTの I_D - V_G 特性図

第 3 図



本発明に係るスタガード形TFTの製造工程を示す断面図

第 4 図